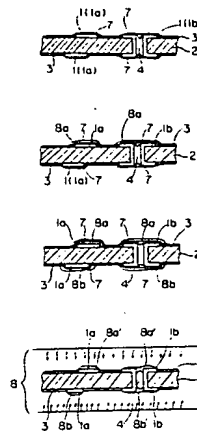


(54) SOLDER COATING METHOD OF PRINTED WIRING BOARD

(11) 4-10694 (A) (43) 14.1.1992 (19) JP
 (21) Appl. No. 2-113413 (22) 27.4.1990
 (71) TOSHIBA CORP (72) KATSUHISA AZUMA
 (51) Int. Cl.⁵ H05K3/24

PURPOSE: To use a relatively small amount of flux and solder by a method wherein flux is selectively attached to the necessary regions by a printing method and then powder solder is selectively attached to the flux layer.

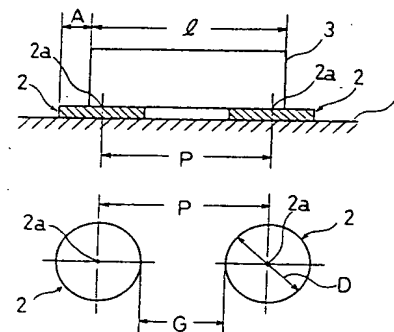
CONSTITUTION: To pads 1a and through-hole connections 1b which are the exposed parts of a printed wiring board 2 on which a solder resist layer 3 is selectively formed, the required soldering flux 7 is selectively attached. After that, powder eutectic solder 8a, the average grain size of about 250 meshes and a melting point of 183°C, is dusted over one of the principal planes to which the soldering flux 7 is selectively attached and is attached there. Over the other principal plane, powder eutectic solder 8b, the average grain size of about 250 meshes and a melting point of 173°C, is dusted and is attached there. Then, the printed wiring board 2 is put into a heating furnace 9 for the eutectic solders 8a and 8b to be melting solder layers 8a' and 8b'. At the same time, high-temperature and low-pressure air is blown upon the melting solder layers 8a' and 8b' from an air nozzle 6 for leveling of the melting solder layers 8a' and 8b'. As a result, the melting solder layers 8a' and 8b' are formed flat on the flux layers 7.

**(54) PRINTED CIRCUIT BOARD**

(11) 4-10695 (A) (43) 14.1.1992 (19) JP
 (21) Appl. No. 2-114487 (22) 27.4.1990
 (71) MATSUSHITA ELECTRIC IND CO LTD (72) HIROAKI ONISHI(3)
 (51) Int. Cl.⁵ H05K3/34

PURPOSE: To prevent a chip rise by setting the distance between the central points of lands facing each other to the one not exceeding the length of each chip component.

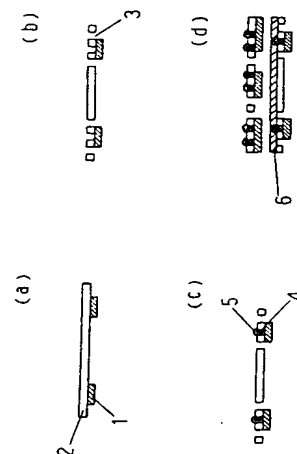
CONSTITUTION: Circular lands are so formed as to face each other on the surface of a glass epoxy substrate 1. Then, two chip components 3, 1.0 by 0.5mm chip capacitor C and chip resistance R, are joined respectively to the lands 2. Since the lands 2 are circular, there is no chip rise occurring even in the case that the distance P between the central points 2a, 2a of the lands facing each other is larger than the length l of each of the chip components 3. The outer part of each of the lands is best in the shape of an arc of a fixed radius of curvature. Compared with the conventional types, however, circular lands whose radius of curvature is not fixed or polygonal lands which have corners of obtuse angle can be also good for preventing a chip rise.

**(54) MULTILAYER WIRING BOARD**

(11) 4-10696 (A) (43) 14.1.1992 (19) JP
 (21) Appl. No. 2-114427 (22) 27.4.1990
 (71) NITTO DENKO CORP (72) ATSUSHI HINO(1)
 (51) Int. Cl.⁵ H05K3/46, H01L21/60

PURPOSE: To make a very precise positioning possible by a method wherein minute through holes are made in regions of an insulating film on which conductor patterns abut and near the regions, metal substance is filled in the holes to form conduction paths and bump-shaped metal projections are formed on openings of the conduction paths on the insulating film.

CONSTITUTION: In regions of an insulating film 2 on which conductor patterns 1 abut and near the region on the insulating film 1, a plurality of minute through holes 3 are made in the thickness direction at the pitch smaller than the width of the conductor pattern 1. After masking the conductor pattern 1 formation surface of the through hole-made insulating film 2, an electrolytic plating is conducted for the insulating film 2 with the conductor patterns 1 used as electrodes. Metal substance is filled selectively in only the through holes 3 which abut on the patterns 1 to form conduction paths. Then, metal projections 5 are formed on openings of the conduction paths 4 on the insulating film 2. The metal projections 5 are used for each wiring board to conduct. An adhesive layer 6 is formed on the whole surface of the insulating film 2 including the through paths 3 with no metal substance filled. Consequently, an anchor effect occurs while a bad lamination is prevented.



⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平4-10696

⑬ Int. Cl.⁹

H 05 K 3/46
H 01 L 21/60
H 05 K 3/46

職別記号

3 1 1 N
S
G

庁内整理番号

6921-4E
6918-4M
6921-4E

⑭ 公開 平成4年(1992)1月14日

審査請求 未請求 請求項の数 1 (全4頁)

⑮ 発明の名称 多層配線基板

⑯ 特 願 平2-114427

⑰ 出 願 平2(1990)4月27日

⑱ 発 明 者 日 野 敦 司 大阪府茨木市下穂積1丁目1番2号 日東電工株式会社内

⑲ 発 明 者 杉 本 正 和 大阪府茨木市下穂積1丁目1番2号 日東電工株式会社内

⑳ 出 願 人 日 東 電 工 株 式 会 社 大阪府茨木市下穂積1丁目1番2号

明 細 書

1. 発明の名称

多層配線基板

2. 特許請求の範囲

導体パターンを片面に有する絶縁性フィルムの導体パターン当接領域内または該領域とその近傍領域に、少なくとも一個の微細貫通孔が厚み方向に設けられており、かつパターン当接領域内の貫通孔には金属物質による表面導通路およびパンプ状金属突出物が形成されてなる配線基板が複数枚、パンプ状金属突出物を介して電気的に導通するように積層されてなる多層配線基板。

3. 発明の詳細な説明

<産業上の利用分野>

本発明は主に半導体装置に用いられる多層配線基板に関するものである。

<従来の技術>

回路基板に、直接的に半導体素子を組み込むに際し、半導体素子の高密度化や高集積化に伴って回路基板の高密度化の要求も高まっており、この

ような要求に対しては回路基板の多層化が必要となる。

回路基板の多層化方法としては従来、基板の積層後にスルーホールを形成し、次いでメッキを施すという方法が採用されている。しかし、このような方法では製造工程が多くなり、また多層化を終了してのちに初めて、配線の良否がテストされることとなり、製造時の歩留りも悪いものである。また、半導体素子をワイヤレスボンディングにて回路基板に組み込む場合には、回路基板上に設けられる半導体素子接続用の突起電極(パンプ)によって半導体素子表面の汚染や破損が防げるが、製造工程が長くなるという欠点を有する。

<発明が解決しようとする課題>

本発明者らは半導体装置に用いる配線基板を多層化するに際して、上記従来の多層化基板ではなく、歩留りよく安価に製造でき、かつ容易に高密度に形成できる多層配線基板技術を得るべく鋭意検討を重ね、本発明を完成するに至った。

<課題を解決するための手段>

即ち、本発明は導体パターンを片面に有する絶縁性フィルムの導体パターン当接領域内または該領域とその近傍領域に、少なくとも一個の微細貫通孔が厚み方向に設けられており、かつパターン当接領域内の貫通孔には金属物質による表面導通路およびパンプ状金属突出物が形成されてなる配線基板が複数枚、パンプ状金属突出物を介して電気的に導通するように積層されてなる多層配線基板を提供するものである。

以下、本発明を図面を用いてさらに詳細に説明する。

第1図は本発明の多層配線基板の一実例を示す断面図であり、導体パターン1を片面に有する絶縁性フィルム2のパターン1当接領域とその近傍領域に、複数個の微細貫通孔3が厚み方向に設けられており、かつパターン1当接領域内の貫通孔には金属物質による表面導通路4およびパンプ状金属突出物5が形成されてなる配線基板の三層が、パンプ状金属突出物5を介して電気的に導通するように積層してなるものである。また、各配

線基板はエポキシ樹脂のような熱硬化性樹脂やフッ素樹脂のような熱可塑性樹脂からなる接着剤層6によって剝離しないように強固に接合されている。

第2図は本発明の多層配線基板の他の実例を示す断面図であり、金属物質が充填された複数の導通路4を同時に閉塞するようにパンプ状の金属突出物5が形成されている。

第3図は本発明の多層配線基板に半導体素子7をパンプ状金属突出物5を介して接続した状態を示す断面図である。

本発明において絶縁性フィルム2は絶縁特性を有するものであれば特に限定されず、ポリエステル系樹脂、エポキシ系樹脂、ポリウレタン系樹脂、ポリスチレン系樹脂、ポリエチレン系樹脂、ポリアミド系樹脂、ポリイミド系樹脂、ポリカーボネート樹脂、シリコン系樹脂、フッ素系樹脂など熱硬化性樹脂や熱可塑性樹脂を問わず使用できる。これらの素材のうちコンピュータ用基板のような信号伝達速度が重要となる用途には、例えば合フ

(3)

ッ素ポリイミドのような誘電率が低い耐熱性樹脂を用いることが好ましい。

導体パターン1は例えば金、銀、銅、鉄、ニッケル、コバルトなどの各種金属、またはこれらを主成分とする各種合金によって形成される。形成方法としては、スパッタリング、各種蒸着、各種メッキなどの方法が採用できる。

第4図(a)~(d)は本発明の配線基板を得るための具体的な製造工程を示す説明図である。

第4図(a)は絶縁性フィルム2の片面に導体パターン1をパターンニング形成したものであり、第4図(b)は上記にて得られた絶縁性フィルム2の導体パターン1当接領域内およびその近傍のフィルム2に、導体パターン1の面積よりも小さな孔ピッチにて複数個の微細貫通孔3を厚み方向に設けたものである。貫通孔3は本発明の多層基板において導通をとるのに重要な役割を果たすものであって、機械加工やレーザー加工、光加工、化学エッチングなどの方法によって設けることができる。好ましくはエキシマレーザーの照射によって穿孔

(4)

処理を行なうことが精度の点から望ましい。貫通孔3の大きさは隣合う孔3同士が繋がらない程度にまでできるだけ大きくすることが、後の工程にて充填する金属物質層の電気抵抗を小さくする上で好ましいが、通常5~100 μ m程度に設定される。

第4図(c)は得られた穿孔済みの絶縁性フィルム2の導体パターン1形成面(図中では下部)をマスクし、導体パターン1を電極として電解メッキを行ない、パターン1に接している貫通孔3のみに選択的に金属物質を充填して導通路4を形成し、次いでこの導通路4の絶縁性フィルム2の開口部にそれぞれ数 μ m~数十 μ mの高さでパンプ状の金属突出物5を形成したものである。なお、充填する金属物質は一種類に限定されず複数種の金属を用いて導通路4内を多層構造とすることもできる。

第4図(d)は上記のようにして得られた配線基板を接着剤層6を介在させて積層する工程を示す。各配線基板の導通にはパンプ状金属突出物5を用

(5)

(6)

いている。接着剤層 6 は金属物質が充填されていない貫通孔 3 にも充填されるので、アンカー効果が生じるだけでなく、積層した際に上記貫通孔 3 から内部の空気が押し出されるので、積層不良が生じることもなく、各配線基板間を強固に接合することができるものである。

第 5 図は本発明の多層配線基板を第 1 図～第 4 図のようなインナーボンディングに用いるのではなく、外部回路 8 とのアウトーボンディングに利用した例を示したものである。ワイヤーボンディングによって半導体素子を組み込んだ配線基板は基板上的パンプ状金属突出物 5 を介して外部基板 8 に接続されている。

<発明の効果>

以上のように、本発明の多層配線基板は導体パターン当接領域およびその近傍領域の絶縁性フィルムに微細貫通孔を設け、その内部に金属物質層を充填して導通路を形成し、さらにパンプ状の金属突出物を形成しているため、貫通孔の形成時は導体パターンに組位置合わせをするだけで良く、

また半導体素子との電極面との接着もパンプ状の突出物によって高精度に位置決めできるものであり、得られる半導体装置の信頼性が向上するものである。

また、本発明の多層配線基板は多層化する前に各配線基板毎に良否検査を行なうことができるので、製造工程における歩留りが向上するものである。また、絶縁性フィルムの厚みや接着剤層の厚みを薄くすることによって、可撓性に優れた薄くて高密度の多層配線基板を提供できる。

4. 図面の簡単な説明

第 1 図～第 3 図および第 5 図は本発明の多層配線基板の実例を示す断面図を示し、第 4 図(a)～(d) は本発明の配線基板を得るための具体的な製造工程を示す説明図である。

- 1…導体パターン、2…絶縁性フィルム、
3…貫通孔、4…導通路、5…金属突出物、
6…接着剤層

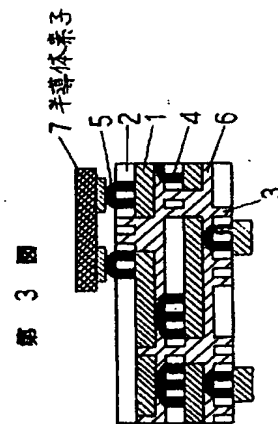
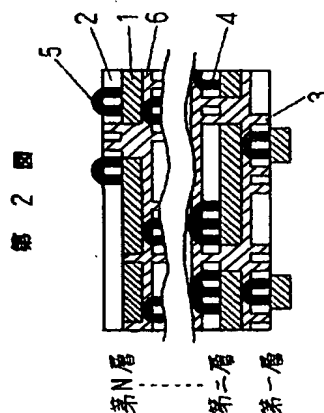
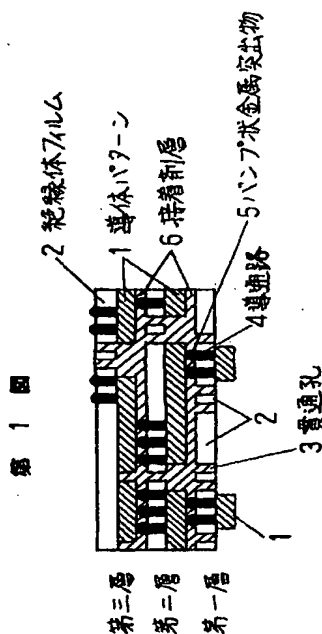
特許出願人

日東電工株式会社

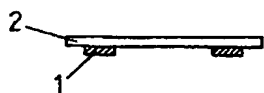
代表者 鎌居 五期

(7)

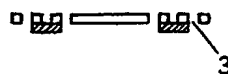
(8)



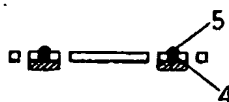
第 4 図 (a)



第 4 図 (b)



第 4 図 (c)



第 4 図 (d)



第 5 図

